

一种视频信号预处理与识别集成电路设计

刘振宇, 周 莉, 陈 杰

(中国科学院 微电子研究所, 北京 100029)

摘 要: 数字视频信号的信号完整性问题是多媒体应用面临的主要问题之一, 对此提出了一种用于视频数字信号预处理与识别的集成电路架构并进行了 FPGA 验证. 该架构可以接受并行视频信号, 并且有效地处理由于时钟不稳和板级噪音引起的视频数字信号完整性问题并再生优质信号, 具有视频制式自适应功能, 报警功能. 详细描述了该架构的各组成单元和 design 方法, 并在 Altera 公司的 EP2C8 器件上进行了实现. 验证结果表明, 该架构可以良好地完成数字视频信号预处理与识别功能.

关键词: 视频合成器; 信号完整性; 预处理; 板级噪音; 信号优化

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)02-0055-04

An ASIC Design of Pre-processing and Identification of Video Signal

LIU Zhen-yu, ZHOU Li, CHEN Jie

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The integrity of digital video signal is one of the major problems of multimedia application. This paper raised an integrated circuit architecture of the pre-processing and identification of digital video signals and did the FPGA based verification. This architecture could accept parallel video signals and efficiently solve the signal integrity problems caused by unstable clock or PCB noise, regenerate the high quality video signal. The architecture has video signal system adapting and error warning function. This paper describes the units and the arithmetic of the architecture and the application on Altera's EP2C8 FPGA. The result shows that the architecture works efficiently on the target of pre-processing and identification of digital video signals.

Key words: video encoder; signal integrity; pre-processing; PCB noise; signal optimization

1 引言

视频处理器必须要有一个高速数字接口连接处理器和显示器件, 而这一端口将被连接至视频信号合成器以生成符合模拟电视信号、VGA 信号或其他制式视频信号的输出, 如图 1 所示的传统视频合成器.

以 PPI 端口为例, 当输出数字电视信号时, PPI 信号被配置为 1 位时钟信号, 3 位同步信号, 8 位或 16 位数据信号. PPI 信号的时钟信号和同步信号都有非常严格的时序要求. 在实际设计或应用中, 由于时钟不稳定、板级传输的完整性问题或芯片设计问

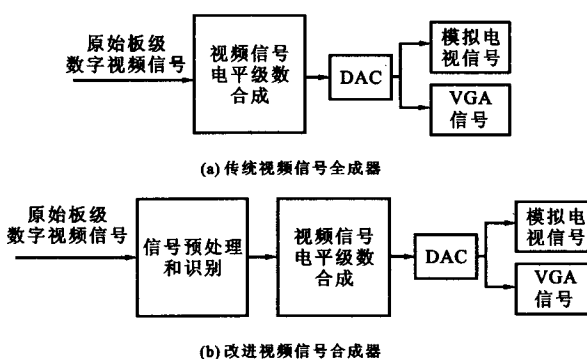


图 1 传统视频合成器和改进视频合成器结构

题, 信号往往不能满足标准所规定的时序要求, 从而造成视频虽然被正确解码并被缓存在存储器, 但并

收稿日期: 2009-01-20; 修回日期: 2009-03-23

基金项目: 工业和信息化部电子发展基金项目

不能被正确显示。

为了克服以上问题,文献[1]对高速视频系统的信号完整性进行了分析,文献[2]研究了基于全定制模块信号完整性的分析,文献[3]提出了一种基于信号完整性分析的一种视频处理系统设计。但是,文献[1-3]对视频信号的预处理必须在保证芯片正常工作,尤其是在时钟信号稳定的前提下起作用。当电路系统在噪音比较大的环境下工作,或视频处理器时钟不稳,或数字视频信号制式在工作进程中发生了改变,电路系统的性能将无法保证。

针对以上情况,文中提出了一种视频数字信号的预处理架构,主要用于视频解码处理器。当视频解码处理器处于板级调试或板级信号环境比较复杂的情况下(如时钟信号受到比较大的干扰,或视频制式在运行中有改变),本架构通过采用信号模糊判断,优化再生成的方法,即使处理器出现降频或信号不稳,仍然可以自动识别当前的数字视频信号制式和实际工作频率并再生优质信号输出,并且有报警功能和输出当前工作制式功能。

2 视频信号预处理和识别总体结构

文中提出的视频信号的预处理和识别的总体结构如图2所示,分为3部分组成。首先对板级视频信号进行预处理,然后对预处理过的信号进行自适应识别,最后是并行视频信号再生成,系统将按设定把信号暂存在外部存储器,重新生成并输出优质信号给视频信号合成器(一种优质信号的时序关系如图4所示^[4])。

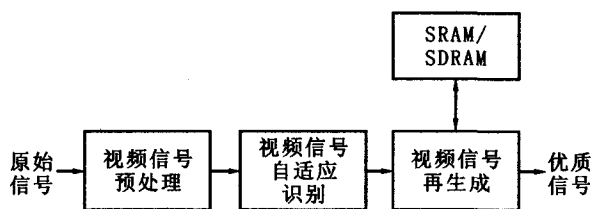


图2 视频信号预处理和识别

3 视频信号预处理和识别各子模块结构

3.1 视频信号预处理模块

考虑到板级噪音主要原因是信号间的串扰^[5],板级的预处理措施主要包括:

① 缩短处理器到预处理模块的距离。在实际板级实现中,处理器和预处理模块(FPGA芯片)之间布线间距不超过3cm,文中实际布线为2cm。

② 加大平行信号间的间距并在信号间加入保护地,尤其是对时钟线的包地保护。时钟的包地线和其他较粗地保护线每隔 $1/4\lambda$ (λ 为信号线上信号的最高频率的波长)加一个过孔接到地层^[5]。考虑到板级最高频率为200MHz, $\lambda=15\text{cm}$,文中实际设计为6层PCB设计,有单独的电源层与地层,包地线每2cm加过孔到地层。

3.2 视频信号自适应识别模块

视频信号自适应模块见图3所示。首先是场同步信号优化模块对场同步信号进行模糊判断,如图4所示,其基本算法为设定阈值并判断,利用场同步信号的特点,当场同步信号出现较短间隔跳变时,则将其视为噪音。由于不能预知当前处理器工作的实际工作频率,文中采用一个预处理PLL生成高速采样时钟。由于是模糊判断,只要保证该PLL生成时钟大于处理器最高工作频率2倍即可,文中使用了4倍于处理器最高工作频率(FPGA实现中,处理器最高工作在108MHz,预处理PLL输出450MHz采样时钟)。采用的算法为:自Reset开始,记录当前能得到的持续的最长单次电平,并由预处理时钟采样得到的最大周期数。后面操作的采样获得周期数与之差别在 $\pm 5\%$ 之内的视为匹配。为防止误操作(如主处理器重起造成的长时间不跳变),当这个数值在10s之内没有被匹配时,则重新记录最长单次电平。如果再次记录到与当前最长单次电平周期数不匹配且周期更长的电平则更新数据,同时把阈值更新为新数值的1/8。如此反复,直到最长周期稳定为止(流程见图4)。

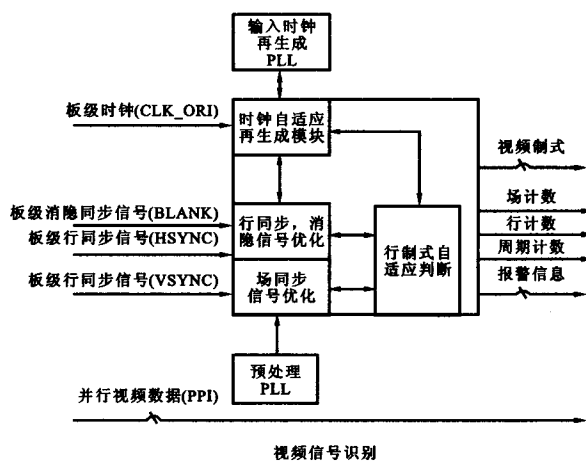


图3 视频信号识别模块

消隐信号优化模块对消隐同步信号(BLANK)进行类似的处理并对一场内的消隐高电平信号进行计数,根据PAL/NTSC制式中一对奇、偶场内行

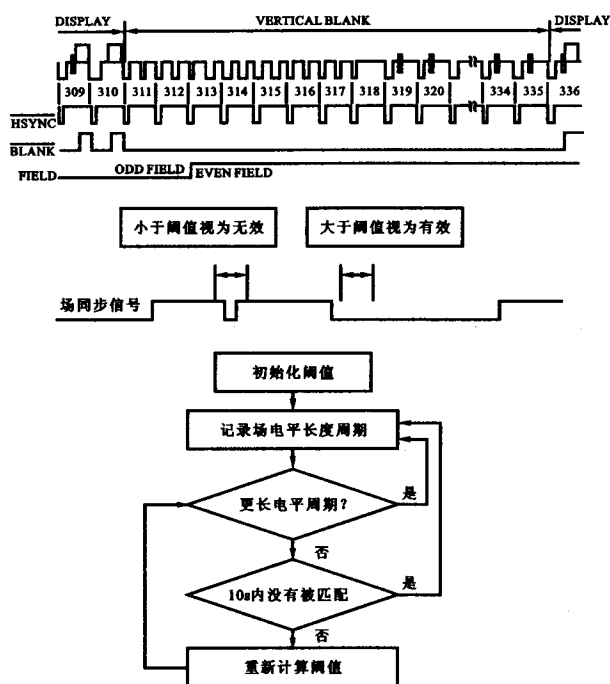


图4 一种并行视频数字信号时序(PAL制式),
场同步模糊判断原理及流程图

数的不同(NTSC为525行, PAL为625行), 制式自适应判断模块将对信号制式进行自适应判断. 上述两个模块将确定视频制式.

时钟自适应模块包括输入时钟再生成PLL的配置功能, 首先配置再生成PLL. 随后时钟自适应再生成模块将以此PLL生成的时钟作为采样时钟对优化过的消隐同步信号进行采样和计数. 当两次消隐信号上升沿之间计数与标准不符时(NTSC制式1716周期/行, PAL制式1728周期/行), 模块将微调配置PLL使之符合. 本模块同时配合使用板级输入时钟(被噪音污染, 但已经过预处理模块优化)和再生成信号时钟(由输入时钟再生成PLL生成), 用于视频信号再生成模块的采样和其他工作. 这样就最大程度消除了板级噪音对时钟信号的影响.

行信号优化模块使用优化过的消隐同步信号和再生成时钟信号, 优化行同步信号, 在两次跳变中被板级噪音干扰导致没有被采样的行同步信号将被重建.

经过以上自适应模块处理, 在不知道当前视频处理器工作频率, 视频制式和信号被噪音影响较大的情况下, 依然能够较好地判断视频制式, 输出其当前场, 行, 周期计数并输出给下一模块使用. 同时在视频制式发生改变和被时钟不稳的情况下输出报警信息.

3.3 视频信号再生成模块

视频信号再生模块如图5所示, 包括视频制式控制, 输入数据排序, 存储器控制器和视频信号再生成四个模块. 存储器控制器联接外部SRAM/SDRAM; 视频信号再生成模块还联接输出标准时钟(一般为27MHz晶振).

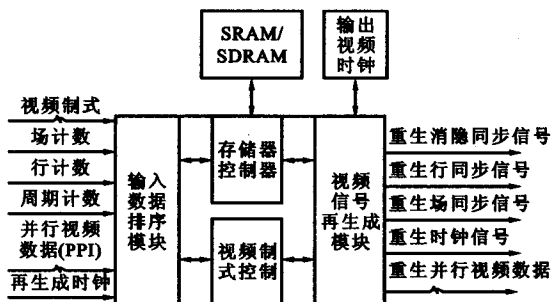


图5 视频信号再生模块

视频控制将会接受自适应识别模块识别的视频制式并根据输出视频制式确定输入数据在存储器中的排序(即YUV亮度/色度值的相应存储地址), 若输入和输出制式不一样(如输入为NTSC而后面输出器件要求为PAL制式), 输入数据排序模块将会按输出制式插值并存储. 存储器控制器含有一个1440 bytes的FIFO, 将优先满足视频信号再生成模块的数据请求. 如果数据再生成模块正在请求数据, 经过预处理和识别的等待存储的输入数据将首先被缓冲在在FIFO中(一行720点数据, 共计720点Y, 360点U, 360点V), 等待输出数据请求空闲时再将FIFO中缓冲的数据存入外部存储器.

视频信号再生成模块自含计数器, 自Reset后根据独立的输出视频时钟累加当前正在输出的场、行和周期数, 生成相应的同步信号并根据数据存储规则生成从外部存储器读取数据的存储器地址并输出给存储器控制器. 存储器控制器将优先满足视频信号再生成模块的数据请求要求.

4 硬件实现

文中所提出系统在以Altera公司的EP2C8 FPGA器件和外置SRAM环境上实现, 算法实现电路及整体实验电路和处理结果如图6所示(视频处理器工作频率为晶振的4倍频). 文中设定了以下测试条件: 在测试过程中, 处理器晶振时钟在5MHz~27MHz间随机变化(使用PLL生成, 视频处理器工作频率在20MHz~108MHz之间变化), 处理器和信号预处理和识别模块(FPGA器件)之间的数据经过两次插针传输(板级噪音的主要来源), 这样, 测试

信号被很强的板级噪音干扰且视频处理器工作频率不稳.

对比测试了普通视频合成器(Analog Devices 公司的 ADV7171KSU 器件),主观测试结果表明,普通视频信号合成器接受强干扰信号后,输出的合成信号基本已经不能识别,而本设计的输出信号质量则可以接受且质量较好(见图 6(c)、图 6(d)).

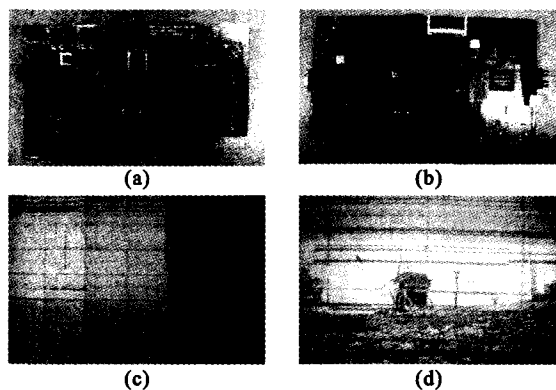


图 6 实现电路、整体实验电路和强干扰信号输出结果(色条/实际向量)

将外置存储器的数据输出,同时按对比视频合成器的工作时钟对原始输入信号进行了采样(这就是普通视频合成器的输出数据),随机采样 10 帧并计算其复原率平均值,将这两个结果与解码器正确的解码结果进行了对比,结果如表 1 所示.

表 1 对比实验结果

	ColorBar (图 6(c)), 数据变化较慢)	Flower (图 6(d)), 数据变化较快)
文中提出结构图像 复原率/%	81.2	74.6
一般视频合成器图 像复原率/%	13.1	5.3

由实验结果可以看出,在强烈的信号干扰,且处

理器工作频率未知的情况下,系统完全能够将视频信号恢复到视觉可以接受的水平.而普通视频合成器基本无法复原.

5 结束语

文中提出了一种用于视频数字信号预处理与识别的结构,并通过实验验证了设计方案.和其他文献提出的处理视频信号完整性的方案对比,文中提出的系统可以在视频处理器情况未知(工作频率,工作制式)和板级强噪音的情况下,有效地自适应识别视频信号并再生视频信号,提供视觉可以接受,质量较为优良的视频信号.

参考文献:

- [1] Shulan Li, Yuan'an Liu, Zhanhai Song, et al. Analysis of crosstalk of coupled transmission lines by inserting additional traces grounded with vias on printed circuit boards[J]. Asia-Pacific Conference on Environmental Electromagnetics, 2003(4/7):451-454.
- [2] 杨献,黄令仪,熊险峰,等. 基于全定制模块信号完整性的分析[J]. 微电子学和计算机, 2004, 21(4):105-108.
- [3] 王勇,李德华,薛雷钱,等. 高速视频处理系统中的信号完整性分析[J]. 电子技术应用, 2004(11):44-66.
- [4] Analog Devices Inc. ADV7170/7171 datasheets[EB/OL]. [2009-02-19]. <http://www.analog.com>.
- [5] 李广辉,庄奕琪,曾志斌. 基于信号完整性分析的一种视频处理系统设计[J]. 电子器件, 2007, 30(4):1325-1328.

作者简介:

刘振宇 (1982-), 博士研究生. 研究方向为多媒体编码及应用.

周莉 硕士生导师.

陈杰 博士生导师.